

Document made available under the Patent Cooperation Treaty (PCT)

International application number: PCT/JP05/003671

International filing date: 25 February 2005 (25.02.2005)

Document type: Certified copy of priority document

Document details: Country/Office: JP
Number: 2004-054506
Filing date: 27 February 2004 (27.02.2004)

Date of receipt at the International Bureau: 14 April 2005 (14.04.2005)

Remark: Priority document submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b)



World Intellectual Property Organization (WIPO) - Geneva, Switzerland
Organisation Mondiale de la Propriété Intellectuelle (OMPI) - Genève, Suisse

日 本 国 特 許 庁
JAPAN PATENT OFFICE

25.02.2005

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 4 年 2 月 2 7 日
Date of Application:

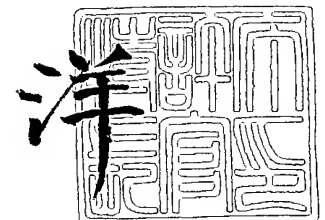
出 願 番 号 特 願 2 0 0 4 - 0 5 4 5 0 6
Application Number:
[ST. 10/C]: [J P 2 0 0 4 - 0 5 4 5 0 6]

出 願 人 ロ ー ム 株 式 会 社
Applicant(s):

2 0 0 5 年 3 月 3 1 日

特許庁長官
Commissioner,
Japan Patent Office

小 川



出証番号 出証特 2 0 0 5 - 3 0 2 8 5 1 4

【書類名】 特許願
【整理番号】 PR3-00418
【提出日】 平成16年 2月27日
【あて先】 特許庁長官殿
【国際特許分類】 H01L 21/335
【発明者】
 【住所又は居所】 京都市右京区西院溝崎町 2 1 番地 ローム株式会社内
 【氏名】 三浦 峰生
【特許出願人】
 【識別番号】 000116024
 【住所又は居所】 京都府京都市右京区西院溝崎町 2 1 番地
 【氏名又は名称】 ローム株式会社
【代理人】
 【識別番号】 100087701
 【弁理士】
 【氏名又は名称】 稲岡 耕作
【選任した代理人】
 【識別番号】 100101328
 【弁理士】
 【氏名又は名称】 川崎 実夫
【手数料の表示】
 【予納台帳番号】 011028
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1
 【包括委任状番号】 9401527

【書類名】 特許請求の範囲**【請求項 1】**

炭化シリコン半導体基板を用いた二重拡散MOS構造の半導体装置であって、
炭化シリコン半導体基板の表面に積層されて、炭化シリコン半導体基板と同じ第1導電型を有する炭化シリコン半導体エピタキシャル層と、
この炭化シリコン半導体エピタキシャル層の表層部に第2導電型不純物をドーピングすることによって形成されて、その表面付近における第2導電型不純物濃度が相対的に薄く、深部における第2導電型不純物濃度が相対的に濃くされたプロファイルを有する不純物領域と
を含むことを特徴とする半導体装置。

【請求項 2】

上記不純物領域は、最表面付近の第2導電型不純物濃度が上記炭化シリコン半導体エピタキシャル層における第1導電型不純物濃度よりも低く制御されていることを特徴とする請求項1記載の半導体装置。

【請求項 3】

炭化シリコン半導体基板を用いた二重拡散MOS構造の半導体装置を製造する方法であって、
炭化シリコン半導体基板の表面に、炭化シリコン半導体基板と同じ第1導電型を有する炭化シリコン半導体エピタキシャル層を積層する工程と、
上記炭化シリコン半導体エピタキシャル層の表層部に第2導電型不純物をドーピングして、表面付近における第2導電型不純物濃度が相対的に薄く、深部における第2導電型不純物濃度が相対的に濃くされたプロファイルを有する不純物領域を形成する不純物領域形成工程と
を含むことを特徴とする半導体装置の製造方法。

【請求項 4】

上記不純物領域形成工程では、注入エネルギーが不変な1段イオン注入によって、上記炭化シリコン半導体エピタキシャル層の表層部に第2導電型不純物をドーピングすることを特徴とする請求項3記載の半導体装置の製造方法。

【請求項 5】

上記不純物領域形成工程では、最表面付近の第2導電型不純物濃度が上記炭化シリコン半導体エピタキシャル層における第1導電型不純物濃度よりも低いプロファイルを有する不純物領域を形成することを特徴とする請求項3または4記載の半導体装置の製造方法。

【書類名】 明細書

【発明の名称】 半導体装置およびその製造方法

【技術分野】

【0001】

この発明は、炭化シリコン半導体基板を用いた二重拡散MOS構造の半導体装置およびその製造方法に関する。

【背景技術】

【0002】

炭化シリコン (SiC) 半導体基板を用いた二重拡散MOSFET (DMOS: double diffused MOS) は、 n^+ 型SiC半導体基板の表面に n^- 型SiC半導体エピタキシャル層が形成され、 n^- 型SiC半導体エピタキシャル層の表層部に、p型不純物領域とこのp型不純物領域内に平面視で環状の n^+ 型不純物領域とが形成された構成を有している。

。

【0003】

図7は、従来の二重拡散MOSFETにおけるp型不純物領域の不純物プロファイルを示す図である。従来の二重拡散MOSFETでは、p型不純物領域がいわゆるボックスプロファイルを有している。すなわち、従来の二重拡散MOSFETのp型不純物領域は、図7に示すように、その表面からの深さに関係なく、不純物濃度が各部でほぼ均一になるようにプロファイルが制御されている。

【0004】

このようなボックスプロファイルを有するp型不純物領域は、 n^- 型SiC半導体エピタキシャル層の表層部にp型不純物を多段イオン注入することによって形成される。注入エネルギーを一定にして行うイオン注入 (1段イオン注入) では、不純物の深さ方向の分布がガウス分布に近似した分布 (図7に二点鎖線で示すような分布) となるから、たとえば、注入エネルギーを3段階に変化させてイオン注入 (3段イオン注入) を行うことにより、p型不純物領域の表面付近と最深部 (n^- 型SiC半導体エピタキシャル層との境界部) とで不純物濃度がほぼ同じにされる。

【特許文献1】 特開平10-308510号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

p型不純物領域の深部での不純物濃度が低いと、p型不純物領域と n^- 型SiC半導体エピタキシャル層との境界からp型不純物領域側に空乏層が拡がりやすいため、パンチスルーが起りやすくなる。そのため、従来の二重拡散MOSFETでは、p型不純物領域の不純物濃度が $10^{17} \sim 10^{18} / \text{cm}^3$ の高濃度に設定されることにより、耐圧が十分に高められている。しかしながら、p型不純物領域の不純物濃度が高いと、チャネル領域を移動するキャリアが散乱を受けるため、キャリアのチャネル移動度が低い (オン抵抗が高い) という問題があった。

【0006】

そこで、この発明の目的は、パンチスルーを抑制できる高耐圧とチャネル移動度の向上とを両立可能な構造の半導体装置およびその製造方法を提供することである。

【課題を解決するための手段】

【0007】

上記の目的を達成するための請求項1記載の発明は、炭化シリコン半導体基板 (1; 11) を用いた二重拡散MOS構造の半導体装置であって、炭化シリコン半導体基板の表面に積層されて、炭化シリコン半導体基板と同じ第1導電型を有する炭化シリコン半導体エピタキシャル層 (2; 12) と、この炭化シリコン半導体エピタキシャル層の表層部に第2導電型不純物をドーピングすることによって形成されて、その表面付近における第2導電型不純物濃度が相対的に薄く、深部における第2導電型不純物濃度が相対的に濃くされたプロファイルを有する不純物領域 (3; 13) とを含むことを特徴とする半導体装置で

ある。

【0008】

なお、括弧内の英数字は、後述の実施形態における対応構成要素等を表す。以下、この項において同じ。

請求項1記載の発明によれば、不純物領域の深部で第2導電型不純物濃度が高いので、不純物領域とその下層の炭化シリコン半導体エピタキシャル層との境界から第2導電型不純物領域側に空乏層が広がるのを防止することができる。一方、第2導電型不純物領域の表面付近で不純物濃度が低いので、第2導電型不純物領域の表層部に形成されるチャネル領域を移動するキャリアの散乱が小さく、キャリアのチャネル移動度を高く保持することができる。よって、上記の構成によれば、パンチスルーを抑制することのできる高耐圧とキャリアのチャネル移動度の向上とを両立させることができる。

【0009】

なお、上記不純物領域のプロファイルは、最深部（炭化シリコン半導体エピタキシャル層との境界部）付近における第2導電型不純物濃度が $10^{18}/\text{cm}^3$ 以上の高濃度であり、その最深部付近をピークとして表面に近づくほど第2導電型不純物濃度が連続的かつ緩やかに低くなり、表面付近における第2導電型不純物濃度が $10^{16}/\text{cm}^3$ 以下となるようなプロファイルであることが好ましい。

【0010】

請求項2記載の発明は、上記不純物領域は、最表面付近の第2導電型不純物濃度が上記炭化シリコン半導体エピタキシャル層における第1導電型不純物濃度よりも低く制御されていることを特徴とする請求項1記載の半導体装置である。

この発明によれば、第2導電型不純物領域の最表面付近における第2導電型不純物濃度を炭化シリコン半導体エピタキシャル層における第1導電型不純物濃度よりも低いので、第2導電型不純物領域の表層部（チャネル領域）に第1導電型が現れ、この第1導電型のチャネル領域を蓄積層とする蓄積型MOSFET（Accumulation MOSFET）の構造を実現することができる。これにより、閾値電圧を低下させることができ、また、キャリアのチャネル移動度をさらに向上させることができる。

【0011】

請求項3記載の発明は、炭化シリコン半導体基板（1；11）を用いた二重拡散MOS構造の半導体装置を製造する方法であって、炭化シリコン半導体基板の表面に、炭化シリコン半導体基板と同じ第1導電型を有する炭化シリコン半導体エピタキシャル層（2；12）を積層する工程と、上記炭化シリコン半導体エピタキシャル層の表層部に第2導電型不純物をドーピングして、表面付近における第2導電型不純物濃度が相対的に薄く、深部における第2導電型不純物濃度が相対的に濃くされたプロファイルを有する不純物領域（3；13）を形成する工程とを含むことを特徴とする半導体装置の製造方法である。

【0012】

この方法によって、請求項1記載の半導体装置を製造することができる。

請求項4記載の発明は、上記不純物領域形成工程では、注入エネルギーが不変な1段イオン注入によって、上記炭化シリコン半導体エピタキシャル層の表層部に第2導電型不純物をドーピングすることを特徴とする請求項3記載の半導体装置の製造方法である。

表面付近における第2導電型不純物濃度が相対的に薄く、深部における第2導電型不純物濃度が相対的に濃くされたプロファイルを有する不純物領域は、請求項4に記載のように、注入エネルギーが不変な1段イオン注入によって、炭化シリコン半導体エピタキシャル層の表層部に第2導電型不純物をドーピングすることにより形成することができる。

【0013】

請求項5記載の発明は、上記不純物領域形成工程では、最表面付近の第2導電型不純物濃度が上記炭化シリコン半導体エピタキシャル層における第1導電型不純物濃度よりも低いプロファイルを有する不純物領域を形成することを特徴とする請求項3または4記載の半導体装置の製造方法である。

この方法によって、請求項2記載の半導体装置を製造することができる。

【発明を実施するための最良の形態】

【0014】

以下では、この発明の実施の形態を、添付図面を参照して詳細に説明する。

図1は、この発明の一実施形態に係る半導体装置の構造を図解的に示す断面図である。この半導体装置は、二重拡散MOSFETであり、半導体基板として、 n^+ 型SiC半導体基板1が用いられている。

n^+ 型SiC半導体基板1の表面には、 n^+ 型SiC半導体基板1よりも低い不純物濃度を有する n^- 型SiC半導体エピタキシャル層2が形成されている。 n^- 型SiC半導体エピタキシャル層2の表層部には、たとえば、平面四角形状のp型不純物領域3が形成されており、さらに、このp型不純物領域3内には、平面四角棒状の n^+ 型不純物領域4がp型不純物領域3の周縁との間に適当な間隔を空けて形成されている。p型不純物領域3は、 n^- 型SiC半導体エピタキシャル層2の表面から $0.5 \sim 0.7 \mu\text{m}$ の深さを有している。 n^+ 型不純物領域4は、 n^- 型SiC半導体エピタキシャル層2の表面から $0.2 \sim 0.3 \mu\text{m}$ の深さを有していて、 n^+ 型不純物領域4の下方には、少なくとも厚さ $0.2 \sim 0.3 \mu\text{m}$ のp型不純物領域3が存在している。

【0015】

n^- 型SiC半導体エピタキシャル層2上には、ゲート酸化膜5a、5bおよびゲート電極6a、6bが設けられている。ゲート酸化膜5a、5bは、それぞれ、 n^+ 型不純物領域4の外周縁部とp型不純物領域3外との間に跨って、p型不純物領域3（ n^+ 型不純物領域4）の周縁の一辺に沿って長い直線状に形成されており、 n^+ 型不純物領域4の外周縁部とp型不純物領域3外との間における n^- 型SiC半導体エピタキシャル層2の表面を覆っている。ゲート電極6a、6bは、ゲート酸化膜5a、5b上にそれぞれ配置されている。

【0016】

ゲート電極6a、6b上には、層間絶縁膜7が形成されている。この層間絶縁膜7上には、たとえば、平面四角形状のソース電極8が形成されており、このソース電極8は、層間絶縁膜7に形成されたコンタクトホール71を介して、 n^+ 型不純物領域4の内周縁部およびp型不純物領域3の n^+ 型不純物領域4に囲まれた領域を含むソースコンタクト領域に接続されている。

【0017】

また、 n^+ 型SiC半導体基板1の裏面側（ n^- 型SiC半導体エピタキシャル層2と反対側）には、その裏面のほぼ全域を覆うようにドレイン電極9が形成されている。

図2は、p型不純物領域3が有する不純物プロファイルを示す図である。p型不純物領域3は、 n^+ 型SiC半導体基板1の表面に n^- 型SiC半導体エピタキシャル層2をエピタキシャル成長させて形成した後、この n^- 型SiC半導体エピタキシャル層2の表層部に、たとえば、p型不純物であるアルミニウム（Al）を 400 keV （一定）の注入エネルギーでイオン注入することによって形成される。すなわち、注入エネルギーが 400 keV の1段イオン注入によってp型不純物領域3が形成される。

【0018】

このようにして形成されるp型不純物領域3は、深さ $0.5 \sim 0.7 \mu\text{m}$ の最深部（ n^- 型SiC半導体エピタキシャル層2との境界部）付近におけるp型不純物濃度が $10^{18} / \text{cm}^3$ 以上の高濃度であり、 n^- 型SiC半導体エピタキシャル層2に導入された不純物の一部はSiC結晶に衝突して跳ね返されるため、その最深部付近をピークとして表面に近づくほどp型不純物濃度が連続的かつ緩やかに低くなり、表面付近におけるp型不純物濃度が $10^{16} / \text{cm}^3$ 以下となるような不純物プロファイルを有する。

【0019】

p型不純物領域3の深部で不純物濃度が高いので、p型不純物領域3とその下層の n^- 型SiC半導体エピタキシャル層2との境界からp型不純物領域3側に空乏層が拡がるのを防ぐことができる。一方、p型不純物領域3の表面付近で不純物濃度が低いので、p型不純物領域3の表層部に形成されるチャネル領域を移動するキャリアの散乱が小さく、キ

キャリアのチャネル移動度を高く保持することができる。よって、この二重拡散MOSFETの構成によれば、パンチスルーを抑制することのできる高耐圧とキャリアのチャネル移動度の向上とを両立させることができる。

【0020】

また、p型不純物領域3の最表面付近におけるp型不純物濃度をn⁻型SiC半導体エピタキシャル層2のn型不純物濃度よりも小さくすれば、図3に示すように、p型不純物領域3の表層部（チャネル領域）にn⁻型が現れ、このn⁻型のチャネル領域を蓄積層31とする蓄積型MOSFETの構造を達成することができる。これにより、キャリアのチャネル移動度をさらに向上させることができる。

【0021】

図4は、この発明の他の実施形態に係る半導体装置の構造を図解的に示す断面図である。この半導体装置は、蓄積型MOSFETであり、半導体基板として、n⁺型SiC半導体基板11が用いられている。

n⁺型SiC半導体基板11の表面には、n⁺型SiC半導体基板11よりも低い不純物濃度を有するn⁻型SiC半導体エピタキシャル層12が形成されている。n⁻型SiC半導体エピタキシャル層12の表層部には、p型不純物領域13が形成されており、さらに、このp型不純物領域13内の表層部には、n⁺型ソース領域14およびn⁺型ドレイン領域15が互いに適当な間隔を空けて形成されている。また、n⁺型ソース領域14とn⁺型ドレイン領域15との間のチャネル領域には、n型蓄積層16が形成されている。

【0022】

p型不純物領域13は、n⁻型SiC半導体エピタキシャル層12の表面から0.5～0.7μmの深さを有している。n⁺型ソース領域14およびn⁺型ドレイン領域15は、n⁻型SiC半導体エピタキシャル層12の表面から0.2～0.3μmの深さを有している。また、n型蓄積層16は、n⁻型SiC半導体エピタキシャル層12の表面から0.05～0.1μmの深さを有している。

【0023】

n⁺型ソース領域14およびn⁺型ドレイン領域15上には、それぞれソース電極17およびドレイン電極18が形成されている。また、ソース電極17とドレイン電極18との間におけるn⁻型SiC半導体エピタキシャル層12上には、ゲート酸化膜19が形成されており、このゲート酸化膜19上には、ゲート電極20が形成されている。

図5は、p型不純物領域13が有する不純物プロファイルを示す図である。p型不純物領域13は、n⁺型SiC半導体基板11の表面にn⁻型SiC半導体エピタキシャル層12をエピタキシャル成長させて形成した後、このn⁻型SiC半導体エピタキシャル層12の表層部に、たとえば、p型不純物であるアルミニウム（Al）を400keV（一定）の注入エネルギーでイオン注入することによって形成される。すなわち、注入エネルギーが400keVの1段イオン注入によってp型不純物領域13が形成される。

【0024】

このようにして、n⁻型SiC半導体エピタキシャル層12の表面からの深さ0.7μm（7000Å）程度のp型不純物領域13を形成した場合、そのp型不純物領域13は、最深部（n⁻型SiC半導体エピタキシャル層12との境界部）付近におけるp型不純物濃度（原子密度）が $10^{18}/\text{cm}^3$ 以上の高濃度であり、n⁻型SiC半導体エピタキシャル層12に導入された不純物の一部はSiC結晶に衝突して跳ね返されるため、その最深部付近をピークとして表面に近づくほどp型不純物濃度が連続的かつ緩やかに低くなり、表面付近におけるp型不純物濃度が $10^{15}/\text{cm}^3$ 程度となるような不純物プロファイルを有する。

【0025】

n⁻型SiC半導体エピタキシャル層12のn型不純物濃度（原子密度）は、 $10^{16}/\text{cm}^3$ 程度でほぼ一定であるから、p型不純物領域13の表層部（チャネル領域）では、p型不純物濃度がn型不純物濃度よりも小さくなり、その結果、p型不純物領域13の表層部にn型が現れることによってn型蓄積層16が形成される。

こうして形成される n 型蓄積層 16 を有する蓄積型 MOSFET は、図 6 に示すように、注入エネルギーを 4 段階に変化させてイオン注入（4 段イオン注入）を行うことにより、n⁻ 型 SiC 半導体エピタキシャル層の表層部に p 型不純物領域 13 とほぼ同じ深さを有する p 型不純物領域を形成した従来型の MOSFET よりも優れた特性を有する。

【0026】

すなわち、従来型の MOSFET は、閾値電圧が 8.0 V 程度であり、チャネル移動度が $18.3 \text{ cm}^2/\text{Vs}$ 程度である。また、ゲート電圧が 15 V のときのドレイン電流の大きさが $19 \mu\text{A}$ 程度である。これに対し、蓄積型 MOSFET は、閾値電圧を 3.3 V 程度に低減させることができる。しかも、閾値電圧は正の値であり、パワースイッチング素子に要求されるノーマリオフ型を示している。また、チャネル移動度が $24 \text{ cm}^2/\text{Vs}$ 程度に向上されている。さらに、ゲート電圧が 15 V のときのドレイン電流の大きさは $42 \mu\text{A}$ 程度であり、従来型の MOSFET に比べてオン抵抗値がほぼ半減している。

【0027】

n 型蓄積層 16 のような埋め込みチャネルは、p 型不純物領域を形成した後に、n 型層をエピタキシャル成長させることによって形成することができる（たとえば、特開平 10-308510 号公報）。また、p 型不純物領域を形成した後に、n 型不純物を選択的に多段イオン注入することによって形成することができる（たとえば、特開平 11-261061 号公報）。

【0028】

エピタキシャル成長の手法によって埋め込みチャネルを形成する場合、深さ 0.1 ~ 0.2 μm 程度の薄い n 型層を得るために、エピタキシャル成長を初期成長の段階で止めなければならないが、エピタキシャル成長の初期段階では、不純物濃度および深さの精密な制御が困難である。そのため、埋め込みチャネルの不純物濃度および深さが設計通りにならず、蓄積型 MOSFET がノーマリオン型になりやすいという問題がある。

【0029】

また、イオン注入の手法では、埋め込みチャネルの深さを精密に制御することができるものの、p 型不純物領域の p 型を打ち消すために n 型不純物が高濃度に注入されるので、埋め込みチャネルの不純物濃度が高濃度になり、その結果、イオン注入後のアニールによる活性化率が不安定になるために、埋め込みチャネルの不純物濃度が設計通りにならないという問題がある。また、不純物濃度が高濃度な埋め込みチャネルは、キャリアがクーロン散乱を受けやすいため、チャネル移動度が低いという問題も有している。

【0030】

これに対し、この実施形態に係る手法（n 型蓄積層 16 を形成する手法）では、エピタキシャル成長によって埋め込みチャネルを形成する場合のような問題は生じない。また、n 型蓄積層 16 における不純物濃度は低いので、アニールによる活性化率の影響を受けず、設計通りの特性（ノーマリオフ型）を有する蓄積型 MOSFET を得ることができる。さらに、n 型蓄積層 16 は、キャリアのクーロン散乱が少なく、高いチャネル移動度を発揮することができる。

【0031】

以上、この発明の 2 つの実施形態を説明したが、この発明は他の形態で実施することもできる。たとえば、上記の各実施形態では、n 型 SiC 半導体基板を用いる例について説明したが、p 型 SiC 半導体基板が用いられる場合も同様にして、二重拡散 MOS 構造の半導体装置を作成することができる。

その他、特許請求の範囲に記載された事項の範囲で種々の設計変更を施すことが可能である。

【図面の簡単な説明】

【0032】

【図 1】 この発明の一実施形態に係る半導体装置の構造を図解的に示す断面図である。

【図 2】 上記半導体装置の p 型不純物領域が有する不純物プロファイルを示す図である。

る。

【図3】蓄積型MOSFETの構造を図解的に示す断面図である。

【図4】この発明の他の実施形態に係る半導体装置の構造を図解的に示す断面図である。

【図5】図4に示す半導体装置のp型不純物領域が有する不純物プロファイルを示す図である。

【図6】図4に示す半導体装置のゲート特性を示すグラフである。

【図7】従来の二重拡散MOSFETにおけるp型不純物領域の不純物プロファイルを示す図である。

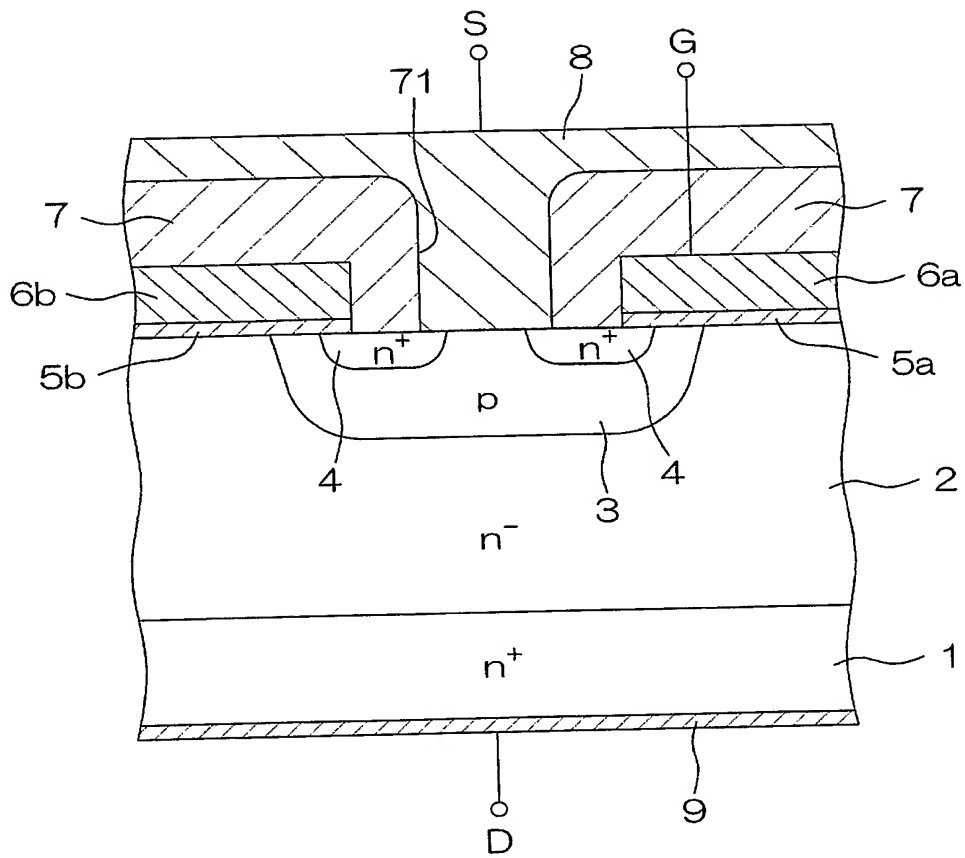
【符号の説明】

【0033】

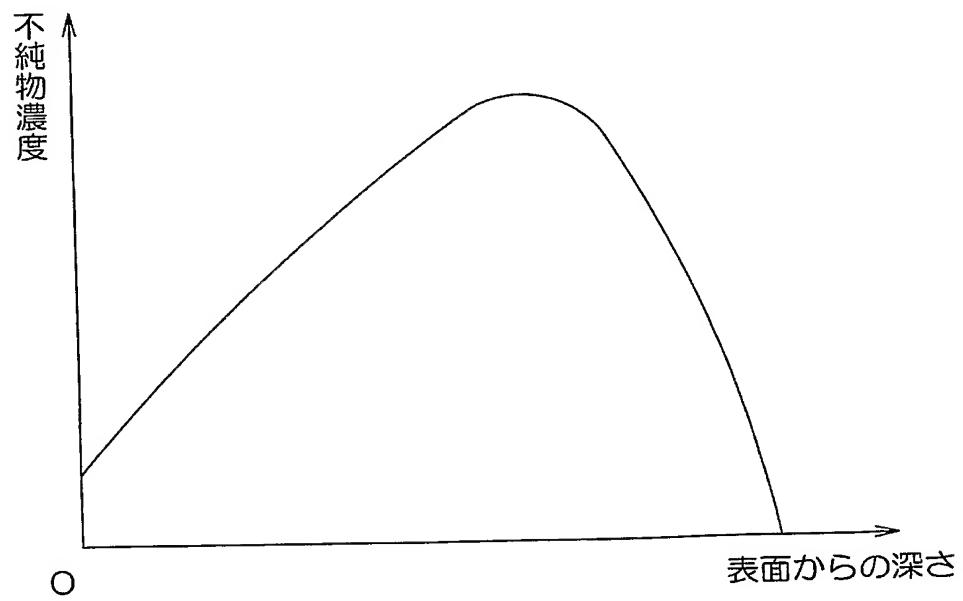
- 1 n^+ 型SiC半導体基板
- 2 n^- 型SiC半導体エピタキシャル層
- 3 p型不純物領域
- 11 n^+ 型SiC半導体基板
- 12 n^- 型SiC半導体エピタキシャル層
- 13 p型不純物領域

【書類名】 図面

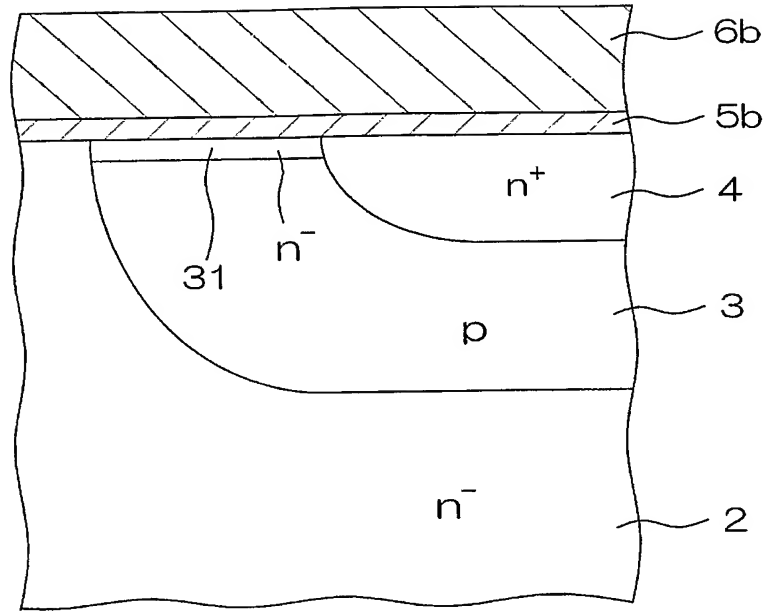
【図 1】



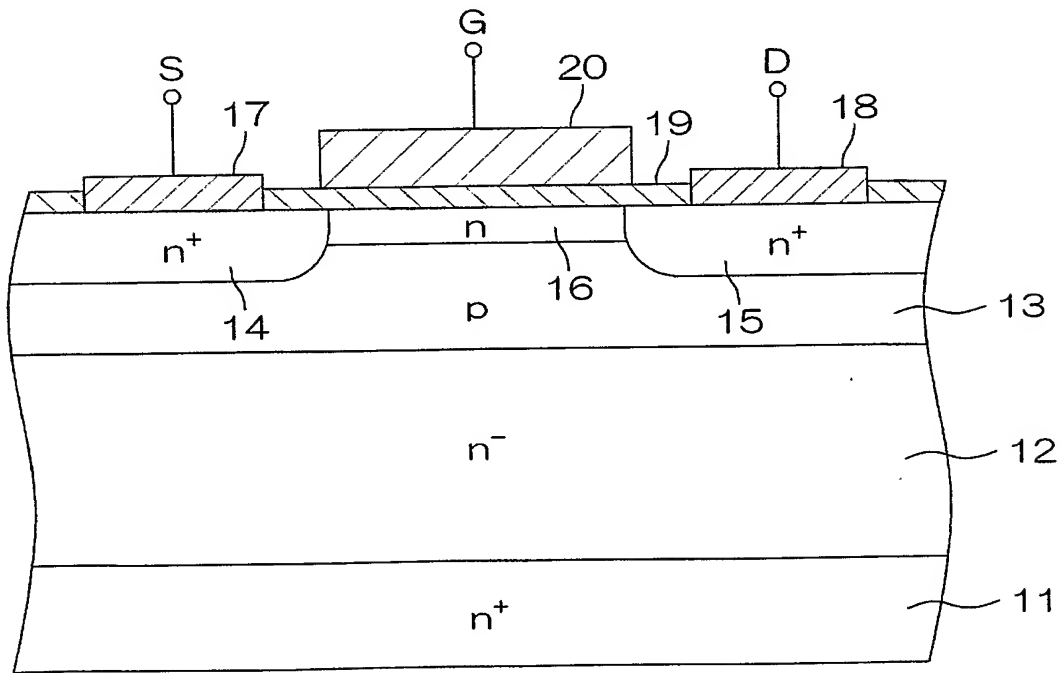
【図 2】



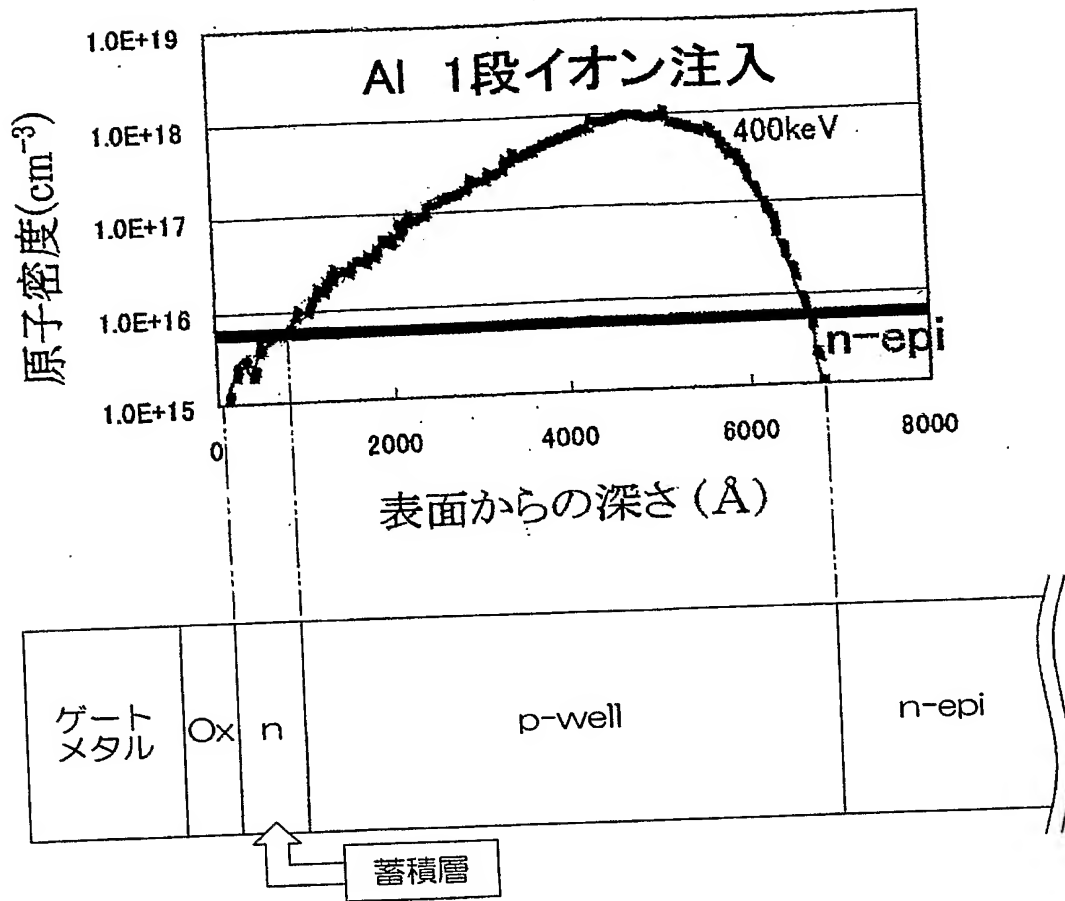
【図3】



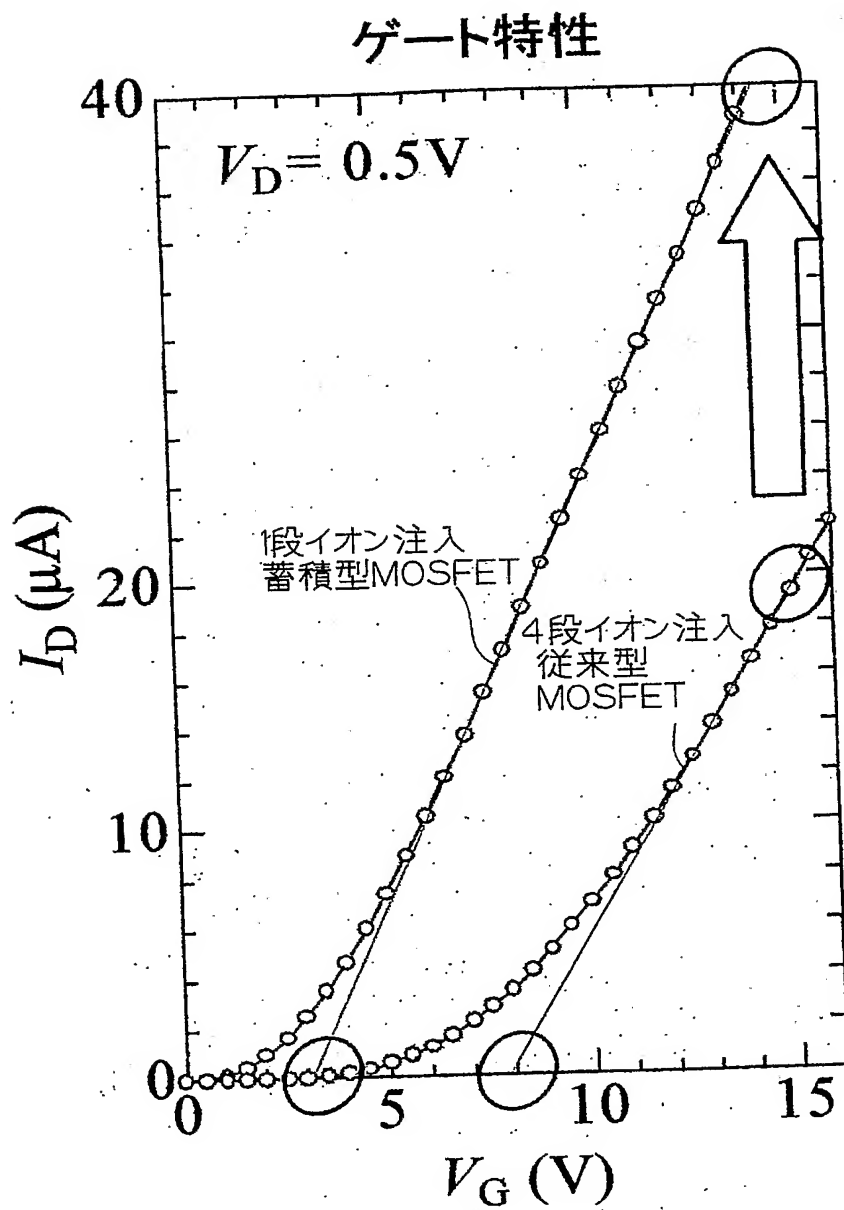
【図4】



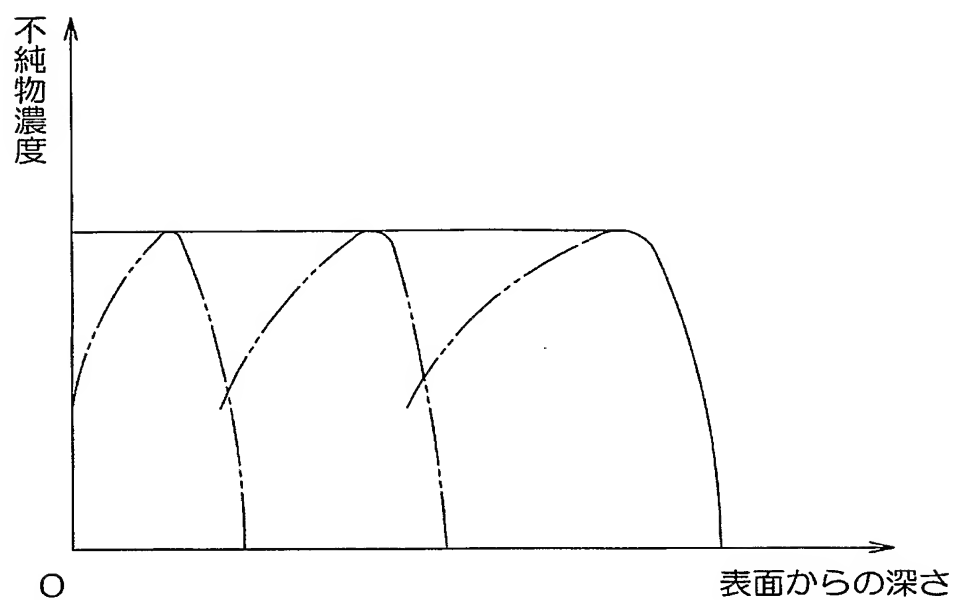
【図 5】



【図6】



【図 7】



【書類名】要約書

【要約】

【課題】 パンチスルーを抑制できる高耐圧とチャネル移動度の向上とを両立可能な構造の半導体装置およびその製造方法を提供する。

【解決手段】 n^+ 型 SiC 半導体基板 1 の表面には、 n^+ SiC 半導体基板 1 よりも低い不純物濃度を有する n^- 型 SiC 半導体エピタキシャル層 2 が形成されている。 n^- 型 SiC 半導体エピタキシャル層 2 の表層部には、たとえば、平面四角形状の p 型不純物領域 3 が形成されており、この p 型不純物領域 3 は、深さ $0.4 \sim 0.5 \mu\text{m}$ の最深部付近における p 型不純物濃度が $10^{18} / \text{cm}^3$ 以上の高濃度であり、 n^- 型 SiC 半導体エピタキシャル層 2 に導入された不純物の一部は SiC 結晶に衝突して跳ね返されるため、その最深部付近をピークとして表面に近づくほど p 型不純物濃度が緩やかに低くなり、表面付近における p 型不純物濃度が $10^{16} / \text{cm}^3$ 以下となるような不純物プロファイルを有する。

【選択図】

図 1

特願 2 0 0 4 - 0 5 4 5 0 6

出 願 人 履 歴 情 報

識別番号

[0 0 0 1 1 6 0 2 4]

1. 変更年月日

1 9 9 0 年 8 月 2 2 日

[変更理由]

新規登録

住 所

京都府京都市右京区西院溝崎町 2 1 番地

氏 名

ローム株式会社